

KANG, Tae-won  
0630-1187P  
August 31, 2001  
BSKB, LLP  
(703) 205-8000

# 4 of 1  
11-02

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2000년 제 51214 호  
Application Number

출원년월일 : 2000년 08월 31일  
Date of Application

출원인 : 현대전자산업주식회사  
Applicant(s)

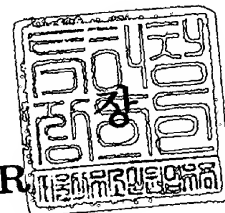
2000 년 10 월 06 일

특

허

청

COMMISSIONER



|            |  |
|------------|--|
| 【서류명】      | 특허출원서  |
| 【권리구분】     | 특허   |
| 【수신처】      | 특허청장   |
| 【참조번호】     | 0003   |
| 【제출일자】     | 2000.08.31   |
| 【국제특허분류】   | H01L   |
| 【발명의 명칭】   | 반도체 소자의 커패시터 형성 방법   |
| 【발명의 영문명칭】 | METHOD FOR FORMING A CAPACITOR OF A SEMICONDUCTOR DEVICE       |
| 【출원인】      |  |
| 【명칭】       | 현대전자산업 주식회사  |
| 【출원인코드】    | 1-1998-004569-8  |
| 【대리인】      |  |
| 【성명】       | 박장원  |
| 【대리인코드】    | 9-1998-000202-3  |
| 【포괄위임등록번호】 | 1999-057677-7  |
| 【발명자】      |  |
| 【성명의 국문표기】 | 강태웅  |
| 【성명의 영문표기】 | KANG, Tae Woong  |
| 【주민등록번호】   | 710110-1241615   |
| 【우편번호】     | 302-220  |
| 【주소】       | 대전광역시 서구 용문동 240-20 대진하이츠 301호                                 |
| 【국적】       | KR   |
| 【심사청구】     | 청구   |
| 【취지】       | 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박장원 (인) |
| 【수수료】      |  |
| 【기본출원료】    | 19 면 29,000 원  |
| 【가산출원료】    | 0 면 0 원  |
| 【우선권주장료】   | 0 건 0 원  |
| 【심사청구료】    | 5 항 269,000 원  |
| 【합계】       | 298,000 원  |
| 【첨부서류】     | 1. 요약서·명세서(도면)_1통  |

**【요약서】****【요약】**

본 발명은 반도체 소자 형성 방법에 관한 것으로, 특히 반도체 소자 내의 커패시터를 형성하는 방법에 관한 것이다. 본 발명에서는 하부 전극을 형성하기 위하여 화학적기계적 연마(CMP) 방법을 사용함으로써 에치백(etch back) 방법을 사용하였을 때 발생하는 여러 문제점을 극복할 수 있고, 주변 회로 영역에 해당하는 절연층을 소정 깊이 식각함으로써 별도의 감광막 패턴을 사용하지 않고도 주변 회로 영역과 셀 영역 사이의 단차 발생을 억제할 수 있으며, 화학적기계적 연마 방법 중 발생하는 이물질을 제거할 수 있는 커패시터 형성 방법을 제공하고자 한다.

**【대표도】**

도 2h

**【명세서】****【발명의 명칭】**

반도체 소자의 커패시터 형성 방법 {METHOD FOR FORMING A CAPACITOR OF A SEMICONDUCTOR DEVICE}

**【도면의 간단한 설명】**

도 1a ~ 도 1g는 종래의 커패시터 형성 방법을 순차적으로 도시한 공정도.

도 2a ~ 도 2h는 본 발명의 일실시예에 의한 커패시터 형성 방법을 순차적으로 도시한 공정도.

**\*\*도면의주요부분에대한부호설명\*\***

100 : 반도체 기판    103 : 제 1 절연층

107 : 플러그(plug)    109 : 제 2 절연층

111 : 제 3 절연층    115 : 하드 마스크용 박막

119, 119' : 하드 마스크    121 : 홀(hole)

123 : 라인(line)    125 : 하부 전극용 도전막

127 : 하부 전극

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 반도체 소자 형성 방법에 관한 것으로, 특히 반도체 소자 내의 커패시터를 형성하는 방법에 관한 것이다.
- <11> 집적 회로를 이용하는 여러 기술 분야에서 기억 소자(memory device)로서 DRAM(dynamic random access memory)이 널리 사용되고 있고, 최근에는 DRAM의 집적도가 급격히 향상되고 있다. 대부분의 DRAM 소자는 실리콘(silicon) 기판을 이용하여 제조되고 있으며, DRAM의 각각의 셀(cell)은 하나의 모스 전계 효과 트랜지스터(Metal Oxide Semiconductor Field Effect Transistor, 이하 MOSFET로 칭함)를 포함하고 있다. 각 셀 내에 위치하는 MOSFET의 소스(source)는 하나의 스토리지 커패시터(storage capacitor)와 연결된다. DRAM의 집적도를 향상시키기 위해서는 각 셀의 면적을 감소시켜야 하는데, 이에 따라 필연적으로 스토리지 커패시턴스(storage capacitance)의 감소가 발생한다. 상기한 스토리지 커패시턴스의 감소는 소스/드레인 비(source/drain ratio)의 감소와 바람직하지 않은 신호 문제(undesirable signal problem) 등으로 인한 신뢰성 저하를 가져온다. 따라서, 상기와 같은 신뢰성 저하를 유발하지 않으면서 집적도를 향상시키기 위해서는, 면적이 감소된 셀 내에 충분한 커패시턴스를 가지는 커패시터를 형성할 수 있어야 한다.
- <12> DRAM 셀 내의 커패시턴스를 향상시키기 위해 사용되는 방법 중 하나로서, 적층된 원통형 커패시터(stacked cylindrical capacitor)가 사용되고 있다. 상기의 적층된 원통형 커패

시터는 소자 상의 공간을 커패시터 플레이트(capacitor plate)로서 활용함으로써 커패시턴스를 향상시킬 수 있는 커패시터 구조이다.

<13> 적층된 원통형 커패시터를 형성하기 위해서는 하부 전극을 형성하기 위한 홀(hole)을 형성한 뒤, 하부 전극으로 사용되는 다결정 실리콘(poly silicon)을 증착하고, 이어서 각각의 커패시터를 형성하기 위하여 에치백(etch back) 또는 화학기계적 연마법(chemical physical polishing, 이하 CMP 라 칭함)을 사용하여 상기 다결정 실리콘을 각각의 하부 전극으로 분리한다. 하지만, 현재에는 CMP 공정 중 발생하는 슬러리(slurry) 이물질에 의한 불량을 방지하기 위하여, 주로 에치백 기술이 사용되고 있다.

<14> 이하에서는 도 1a ~ 도 1g를 참조하여, 종래의 에치백을 이용한 커패시터 형성 방법을 설명한다.

<15> 먼저 도 1a에 도시된 바와 같이, MOSFET(미도시)가 형성된 반도체 기판(1)을 준비한다.

상기 반도체 기판(1)은 셀(cell) 영역(A)과 주변 회로(periphery) 영역(B)으로 나뉘어진

다. 주로 실리콘 산화물로 이루어지는 제 1 절연층(3)이 상기 반도체 기판(1) 상면에 형

성된다. 상기 제 1 절연층(3) 중 셀 영역(A)에 해당하는 부분에 사진 식각 공정으로 홀

(hole)(5)이 형성되고, 상기 홀(5) 내에는 플러그(plug)(7)가 형성된다. 이어서, 상기

제 1 절연층(3)과 상기 플러그(7) 상면에 주로 실리콘 질화물로 이루어지는 제 2 절연층

(9)이 형성된다. 상기 제 2 절연층(9) 상면에는 주로 실리콘 산화물로 이루어지는 제 3

절연층(11)이 형성된다.

<16> 다음으로 도 1b에 도시된 바와 같이, 상기 제 3 절연층(11) 상면에 감광막(photoresist)

을 도포한 뒤 패터닝을 하여 감광막 패턴(13)을 형성한다. 이어서, 상기 감광막 패턴

(13)을 마스크(mask)로 이용하는 식각 공정으로 상기 제 3 절연층(11)과 상기 제 2 절연

층(9)의 소정 영역을 식각하여, 상기 플러그(7)를 노출시키는 홀(hole)(15)을 형성한다. 이와 동시에, 상기 제 3 절연층(11)과 상기 제 2 절연층(9) 중 상기 셀 영역(A)과 상기 주변 회로 영역(B)의 경계 부근에 해당하는 영역을 식각하여, 상기 셀 영역(A)을 둘러싸는 라인(line)(17)을 형성한다. 상기 라인(17)은 반도체 소자 중 셀 영역(A)과 주변 회로 영역(B)을 구별하는 경계를 형성한다.

<17> 다음으로 도 1c에 도시된 바와 같이, 상기 감광막 패턴(13)을 제거한 뒤, 상기 제 3 절연층(11) 상면과 상기 홀(15)과 상기 라인(17) 내부에 다결정 실리콘층(19)을 증착한다. 상기 다결정 실리콘층은 후에 하부 전극을 형성한다.

<18> 다음으로 도 1d에 도시된 바와 같이, 상기 다결정 실리콘층(19) 상면에 갭 필(gap fill) 특성이 좋은 SOG(spin on glass)나 USG(undoped silica glass) 등의 산화막(21)을 증착한 뒤, 에치 백(etch back)을 하여 상기 제 3 절연층(11)의 표면에 형성된 다결정 실리콘층(19)이 노출되도록 한다.

<19> 다음으로 도 1e에 도시된 바와 같이, 상기 제 3 절연층(11) 표면에 위치하는 상기 다결정 실리콘층(19)을 식각하여, 상기 다결정 실리콘층(19)을 각각의 하부 전극(23)으로 분리한다. 상기 하부 전극(23)은 상기 플러그(7)와 각각 연결된다.

<20> 다음으로 도 1f에 도시된 바와 같이, 상기 주변 회로 영역(B)에 해당하는 제 3 절연층(11) 상면에 감광막 패턴(25)을 형성한다. 상기 감광막 패턴(25)은 후속하는 식각 공정 중에 상기 제 3 절연층(11) 중 주변 회로 영역에 해당하는 부분이 식각되는 것을 방지하는 역할을 한다.

<21> 마지막으로 도 1g에 도시된 바와 같이, 상기 제 3 절연층(11) 중 상기 셀 영역(A)에 해

당하는 부분을 식각하고, 상기 감광막 패턴(25)을 제거함으로써 종래 기술에 의한 커패시터 하부 전극 형성을 완료한다.

<22> 그러나, 종래의 에치백에 의한 커패시터 형성 방법은 다음과 같은 문제점을 가지고 있다.

<23> DRAM의 셀 크기가 작아지면서 커패시턴스 용량을 확보하기 위해서는 하부 전극의 높이가 높아져야 한다. 이에 따라서 하부 전극용 홀(15)을 식각하기 위해 필요한 감광막(13)의 높이가 충분히 높아야 하는데, 실제로는 셀의 크기가 작아져서 원하는 패턴을 사진 식각 공정에서 확보하기 위해서는 감광막의 높이가 오히려 낮아지게 된다. 이에 따라서, 사진 식각 공정을 하기 전에 하드 마스크(hard mask) 용으로 다결정 실리콘(미도시)을 추가로 증착하여 식각을 진행해야 한다. 이에 따라서 하부 전극을 분리하기 위해 에치백 공정으로 식각해야 하는 다결정 실리콘의 두께가 증가하기 때문에 다결정 실리콘을 에치백한 후, 하부 전극(23)의 상부가 뿔쫓해지는 문제점이 발생한다. 하부 전극의 상부가 뿔쫓해지면, 이 부분에 전기장(electric field)이 집중되어 누설 전류가 커질 가능성이 높아진다. 그리고, 상부 전극에 (+) 전압이 가해질 경우 뿔쫓해진 부분의 도판트(dopant)가 유전막으로부터 멀어져서 결국 커패시턴스(capacitance)를 감소시키는 공핍(depletion) 현상이 발생한다.

<24> 또한, 셀 영역(A)에 많은 홀(15)이 형성되기 때문에 식각 과정 중에 주변 회로 영역(B)에 존재하는 하드 마스크용 다결정 실리콘(미도시)이 셀 영역의 다결정 실리콘보다 식각률이 낮아지는 로딩 효과(loading effect)가 발생한다. 따라서, 주변 회로 영역의 다결정 실리콘을 완전히 제거하기 위해 과식각(over etch)을 할 경우 하부 전극의 높이가 낮아지는 문제점도 발생한다. 이는 곧바로 커패시턴스 용량 감소로 이어진다.



<25> 또한, 하부 전극을 분리하는 공정 중, 홀 내의 다결정 실리콘이 식각되는 것을 방지하기 위하여, 홀을 갭 필(gap fill) 특성이 좋은 SOG(spin on glass)나 USG(undoped silica glass) 등의 산화막(21)으로 채운 뒤, 제거하는 공정을 거쳐야함으로 공정 단계가 복잡해지는 문제점이 있다.

<26> 또한, 상기 제 3 절연층(11) 중 주변 회로 영역(B)이 식각되어 셀 영역(A)과 주변 회로 영역(B)의 단차가 증가하는 것을 방지하기 위하여, 주변 회로 영역(B)에 해당하는 상기 제 3 절연층(11)의 표면에 별도의 감광막 패턴(25)을 형성해야 하기 때문에 공정 단계가 복잡해지는 문제점이 있다.

<27> 또한, 하부 전극(23) 사이의 제 3 절연층(11)을 습식각으로 제거하기 전에 주변 회로 영역(B)에 해당하는 상기 제 3 절연층 상면에 감광막 패턴(25)을 형성해야 하기 때문에 웨이퍼(wafer)를 IPA(IsoPropyl Alcohol)를 이용하여 건조시킬 수 없다. 왜냐하면 감광막이 있는 상태에서 IPA를 사용할 경우 감광막이 녹아 버리기 때문이다. 따라서 종래의 기술에서는 습식각을 스핀(spin) 건조 방식을 사용하는 매엽식(枚葉式) 장비(single wafer type equipment)에서 진행하거나, 웨이퍼를 상자(box) 채로 회전시켜서 건조시키는 배스 타입(bath type) 장비를 사용해야 한다. 스핀 건조 방식을 사용하는 매엽식 장비의 경우 산화막을 다 식각하기 위해서는 웨이퍼 한 장 당 식각하는 시간이 산화막의 두께에 비례하여 길어지기 때문에 처리량(throughput)이 떨어진다. 그리고, 웨이퍼를 상자 채로 건조시키는 배스 타입 장비의 경우에는 회전 반경이 길어지기 때문에 원심력이 너무 커지기 때문에 하부 전극이 이탈될 위험이 있다.

**【발명이 이루고자 하는 기술적 과제】**

<28> 본 발명은 상기의 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 하부

전극을 분리하는 공정을 CMP로 실시함으로써, 에치백으로 하부 전극을 분리함으로써 생기는 여러 문제점을 해결할 수 있는 커패시터 형성 방법을 제공하는 데 있다.

<29> 본 발명의 다른 목적은 CMP 공정으로 하부 전극을 분리할 때 생성되는 슬러리 이물질을 제거할 수 있도록 함으로써 CMP 공정의 문제점을 해결할 수 있는 커패시터 형성 방법을 제공하는 데 있다.

<30> 본 발명의 또 다른 목적은 별도의 감광막을 사용하지 않으면서 주변 회로 영역이 셀 영역에 비하여 낮아지는 것을 방지할 수 있도록 함으로써, 공정 단계를 줄일 수 있고, IPA 건조 방식의 배스 타입(bath type) 웨트 스테이션(wet station)을 사용할 수 있는 커패시터 형성 방법을 제공하는 데 있다.

<31> 이를 위하여 본 발명의 실시예에 의한 커패시터 형성 방법은 셀(cell) 영역과 주변 회로(periphery) 영역이 정의된 반도체 기판을 준비하는 단계와; 상기 반도체 기판 상면에 제 1 절연층을 형성하는 단계와; 상기 제 1 절연층 중 상기 셀 영역에 해당하는 부분에 플러그(plug)를 형성하는 단계와; 상기 제 1 절연층 상면에 제 2 절연층을 형성하는 단계와; 상기 제 2 절연층 상면에 제 3 절연층을 형성하는 단계와; 상기 제 3 절연층 중 주변 회로 영역에 해당하는 부분을 소정 깊이로 식각하여, 상기 주변 회로 영역에 해당하는 제 3 절연층의 두께가 상기 셀 영역에 해당하는 제 3 절연층의 두께보다 얇아지도록 하는 단계와; 상기 제 3 절연층 상면에 하드 마스크용 박막을 형성하고, 상기 하드 마스크용 박막을 패터닝하여 하드 마스크를 형성하는 단계와; 상기 제 3 절연층과 제 2 절연층 중 소정 영역을 순차로 식각하여 상기 플러그를 노출시키는 홀(hole)을 형성하는 단계와; 상기 제 3 절연층 상면과 상기 홀 내에 전도층을 형성하는 단계와; 상기 제 3

절연층 상면이 노출될 때까지, 화학적기계적 연마(CMP)를 하는 단계와; 상기 제 3 절연층 중 상기 셀 영역에 해당하는 부분을 제거하는 단계를 포함하여 이루어진다.

### 【발명의 구성 및 작용】

<32> 이하, 본 발명의 실시예에 따른 커패시터 형성 방법을 도 2a ~ 도 2h를 참조하여 상세히 설명한다.

<33> 먼저 도 2a에 도시된 바와 같이, MOSFET(미도시)가 형성된 반도체 기판(100)을 준비한다. 상기 반도체 기판(100)은 셀(cell) 영역(A)과 주변 회로(periphery) 영역(B)으로 나뉘어진다. 주로 실리콘 산화물 등의 산화물로 이루어지는 제 1 절연층(103)이 상기 반도체 기판(100) 상면에 형성된다. 상기 제 1 절연층(103) 중 셀 영역(A)에 해당하는 부분에 사진 식각 공정으로 홀(hole)(105)이 형성되고, 상기 홀(105) 내에는 전도성 물질로 이루어진 플러그(plug)(107)가 형성된다. 이어서, 상기 제 1 절연층(103)과 상기 플러그(107) 상면에 제 2 절연층(109)과 제 3 절연층(111)이 순차로 적층형성된다. 상기 제 2 절연층(109)은 상기 제 3 절연층(111)을 식각하는 과정 중에 상기 제 1 절연층(103)이 식각되는 것을 방지하는 역할을 하며, 상기 제 2 절연층(109)과 상기 제 3 절연층(111)은 서로 다른 식각 특성을 가지는 재료로 이루어진다. 본 실시예에서는 특히 상기 제 2 절연층은 실리콘 질화물 등의 질화물로 이루어지며, 상기 제 3 절연층은 실리콘 산화물 등의 산화물로 이루어진다.

<34> 다음으로 도 2b에 도시된 바와 같이, 셀 영역(A)에 해당하는 상기 제 3 절연층(111) 상면에 감광막 패턴(113)을 형성한 뒤, 상기 제 3 절연층(111) 중 주변 회로 영역(B)의 해당하는 부분을 약간 식각한다. 이 때 제 3 절연층(111)을 식각하는 깊이는, 후속하는 상기 제 3 절연층(111)의 셀 영역을 습식각하는 공정 중에 상기 제 3 절연층(111) 중 주변

회로 영역(B)이 식각되는 것을 방지하는 역할을 하는 다결정 실리콘층(119)의 두께와 연관되므로, 식각되는 깊이를 정확히 제어해야 한다. 본 실시예에서는 주변 회로 영역(B)에 해당하는 상기 제 3 절연층(111)을 100 Å ~ 2000 Å 범위의 깊이로 식각한다.

<35> 다음으로 도 2c에 도시된 바와 같이, 상기 감광막 패턴(113)을 제거한 뒤, 상기 제 3 절연층(111)의 상면에 하드 마스크용 박막(115)을 형성한다. 상기의 하드 마스크용 박막(115)은 후속하는 공정에서 홀(hole)(121)을 형성할 때, 감광막 패턴(117)과 함께 마스크 역할을 하며, 후속하는 CMP 공정 후에 적당한 두께가 남아서 후속하는 습식각 공정 시 주변 회로 영역(B)에 해당하는 제 3 절연층(111)이 식각되는 것을 방지하는 역할을 한다. 따라서 상기 하드 마스크용 박막(115)을 적당한 두께로 형성하는 것이 중요하다. 본 실시예에서는 상기 하드 마스크용 박막(115)을 다결정 실리콘으로 형성한다.

<36> 다음으로 도 2d에 도시된 바와 같이, 상기 하드 마스크용 박막(115) 상면에 감광막 패턴(117)을 형성한다. 이 때, 후속하는 공정에서 홀(hole)(121)과 라인(line)(123)이 형성될 상기 하드 마스크용 박막(115)의 상면이 상기 감광막 패턴(117)을 통하여 노출된다. 상기 라인(123)이 형성될 부분은 상기 셀 영역(A)과 상기 주변 회로 영역(B)의 경계를 포함한다.

<37> 다음으로 도 2e에 도시된 바와 같이, 상기 감광막 패턴(117)을 마스크로 이용하여 상기 하드 마스크용 박막(115)을 패터닝하여 하드 마스크(119, 119')를 형성한 뒤, 상기 감광막 패턴(117)과 상기 하드 마스크(119, 119')를 마스크로 이용하여 상기 제 3 절연층(111)과 상기 제 2 절연층(109)의 소정 영역을 순차로 식각하여 홀(hole)(121)과 라인(line)(123)을 형성한다. 상기 홀(121)은 상기 플러그(107)를 노출시키며, 후속하는 공정에서 하부 전극이 형성되는 부분이고, 상기 라인(123)은 반도체 소자의 셀 영역(A)과

주변 회로 영역(B)을 구분하는 역할을 하며, 후속하는 습식각 공정 시 습식각 용액이 주변 회로 영역으로 넘어오지 못하게 하는 역할을 한다. 상기의 홀(121)과 라인(123)을 형성하는 식각 공정 중, 식각의 특성상 주변 회로 영역(B)보다는 홀 패턴(hole pattern)이 많은 셀 영역(A)의 감광막과 하드 마스크용 다결정 실리콘이 더 많이 식각되고, 결과적으로 주변 회로 영역(B)의 하드 마스크(119)가 셀 영역(A)의 하드 마스크(119')보다 두껍게 형성된다.

<38> 다음으로 도 2f에 도시된 바와 같이, 도 2e에 도시된 전 구조 상면에 하부 전극용 도전막(125)을 형성한다. 본 실시예에서는 상기 도전막이 다결정 실리콘으로 이루어진다.

<39> 다음으로 도 2g에 도시된 바와 같이, CMP 공정으로 상기 하부 전극용 도전막(125)을 분리하여 각 홀(121) 내에 하부 전극(127)을 형성한다. 상기 하부 전극(127)은 상기 플러그(107)와 연결된다. 이때, CMP의 경우 다결정 실리콘과 산화막 간의 선택비가 매우 높기 때문에 셀 영역(A)의 다결정 실리콘이 연마(polishing)되어 상기 제 3 절연층(111)을 이루는 산화막이 노출되게 되면, 더 이상 연마(polishing)가 진행되지 않는다. 따라서, 셀 영역(A)의 하드 마스크(119')는 완전히 제거가 되지만, 주변 회로 영역(B)의 하드 마스크(119)는 두께가 감소한 채 잔존하게 된다. 한편, 상기의 CMP 공정 후에 하부 전극(127) 안쪽으로 다량의 슬러리(slurry) 이물질(미도시)이 남게 된다.

<40> 마지막으로 도 2h에 도시된 바와 같이, 셀 영역(A)의 제 3 절연층(111)을 식각하여 제거함으로써 커패시터 하부 전극 형성을 완료한다. 본 실시예에서는 특히 습식각 방법을 사용한다. 이때, 주변 회로 영역(B)의 제 3 절연층(111) 상면에 형성된 다결정 실리콘으로 이루어진 하드 마스크(119)가 주변 회로 영역(B)의 제 3 절연층(111)이 식각되는 것을 방지한다. 상기의 습식각 공정 시 CMP 공정 후에 하부 전극(127) 안쪽에 남아있던 슬러

리 이물질(미도시)도 함께 제거된다. 또한, 최종적으로 형성된 하부 전극(127)의 높이는 도 2(a)에서 형성한 제 3 절연층(111)의 두께와 거의 차이가 없다.

#### 【발명의 효과】

- <41> 상기한 바와 같은 본 발명에 의한 커패시터 형성 방법에서는 하부 전극을 형성하는데 CMP 공정을 이용하기 때문에, 하부 전극 높이의 손실이 거의 없으며, 에치백 공정을 사용할 때 발생하는 하부 전극의 상부가 뾰족해지는 침점의 문제도 발생하지 않는다. 따라서 커패시턴스 용량을 확보하는데 유리한 효과가 있다.
- <42> 또한, 본 발명에 의한 커패시터 형성 방법에서는, 최종적으로 하부 전극 사이의 제 3 절연층을 식각할 때 감광막 패턴을 사용하지 않기 때문에, 배스 타입(Bath type)의 웨트 스테이션(wet station)을 이용할 수 있는 효과가 있다.
- <43> 또한, 본 발명에 의한 커패시터 형성 방법에서는, CMP 공정으로 하부 전극을 분리할 때 생성되는 슬러리 이물질을 제거할 수 있기 때문에, 슬러리 이물질에 의한 불량 발생을 방지하면서 CMP 공정을 이용할 수 있는 효과가 있다.
- <44> 또한, 본 발명에 의한 커패시터 형성 방법에서는, 하부 전극을 분리하는 공정 중, 홀 내의 다결정 실리콘이 식각되는 것을 방지하기 위하여, 홀을 갭 필(gap fill) 특성이 좋은 SOG(spin on glass)나 USG(undoped silica glass) 등의 산화막으로 채운 뒤, 제거하는 공정을 거치지 않아도 되기 때문에 공정이 간단해지는 효과가 있다.
- <45> 본 발명은 상기에 설명되고 도면에 예시된 것에 의해 한정되는 것은 아니며, 다음에 기재되는 청구의 범위 내에서 더 많은 변형 및 변용예가 가능한 것임을 물론이다.

1020000051214

2000/10/

**【특허청구범위】****【청구항 1】**

셀(cell) 영역과 주변 회로(periphery) 영역이 정의된 반도체 기판을 준비하는 단계와;  
상기 반도체 기판 상면에 제 1 절연층을 형성하는 단계와;  
상기 제 1 절연층 중 상기 셀 영역에 해당하는 부분에 플러그(plug)를 형성하는 단계와;  
상기 제 1 절연층 상면에 제 2 절연층을 형성하는 단계와;  
상기 제 2 절연층 상면에 제 3 절연층을 형성하는 단계와;  
상기 제 3 절연층 중 주변 회로 영역에 해당하는 부분을 소정 깊이로 식각하여, 상기 주변 회로 영역에 해당하는 제 3 절연층의 두께가 상기 셀 영역에 해당하는 제 3 절연층의 두께보다 얇아지도록 하는 단계와;  
상기 제 3 절연층 상면에 하드 마스크용 박막을 형성하고, 상기 하드 마스크용 박막을 패터닝하여 하드 마스크를 형성하는 단계와;  
상기 제 3 절연층과 제 2 절연층 중 소정 영역을 순차로 식각하여 상기 플러그를 노출시키는 홀(hole)을 형성하는 단계와;  
상기 제 3 절연층 상면과 상기 홀 내에 전도층을 형성하는 단계와;  
상기 제 3 절연층 상면이 노출될 때까지, 화학적기계적 연마(CMP)를 하는 단계와;  
상기 제 3 절연층 중 상기 셀 영역에 해당하는 부분을 제거하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 커패시터 형성 방법.



**【청구항 2】**

제 1 항에 있어서, 상기 제 2 절연층과 상기 제 3 절연층은 서로 다른 식각 특성을 가지는 것을 특징으로 하는 반도체 소자의 커패시터 형성 방법.

**【청구항 3】**

제 1 항에 있어서, 상기 제 3 절연층 중 주변 회로 영역에 해당하는 부분을 식각하는 깊이는  $100\text{\AA} \sim 2000\text{\AA}$  범위인 것을 특징으로 하는 반도체 소자의 커패시터 형성 방법.

**【청구항 4】**

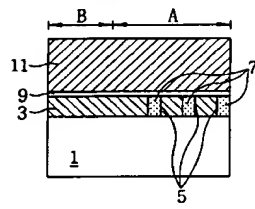
제 1 항에 있어서, 화학적기계적 연마(CMP)를 하는 단계 후에, 상기 제 3 절연층 중 주변 회로 영역에 해당하는 부분의 상면에 형성된 하드 마스크가 잔존하는 것을 특징으로 하는 반도체 소자의 커패시터 형성 방법.

**【청구항 5】**

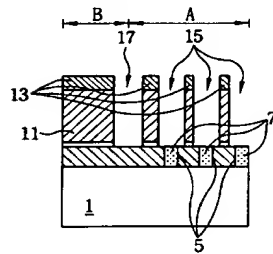
제 1 항에 있어서, 상기 제 3 절연층 중 상기 셀 영역에 해당하는 부분을 제거하는 단계 중에, 상기 화학적기계적 연마(CMP)를 하는 단계 중에 형성되는 이물질이 제거되는 것을 특징으로 하는 반도체 소자의 커패시터 형성 방법.

## 【도면】

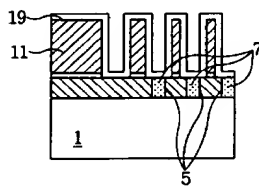
【도 1a】



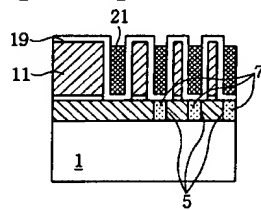
【도 1b】



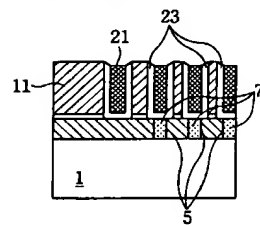
【도 1c】



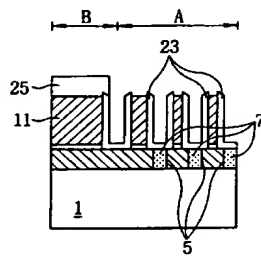
【도 1d】



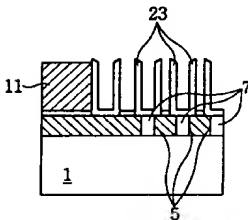
【도 1e】



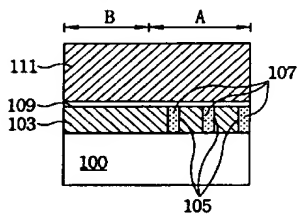
【도 1f】



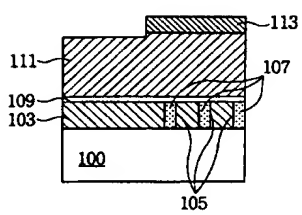
【도 1g】



【도 2a】



【도 2b】



【도 2c】

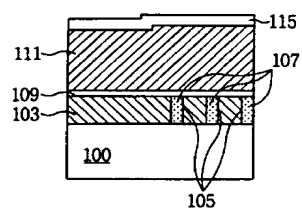


FIG. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 100, a base layer 105, and a layer 111. A patterned layer 119 is formed on the base layer 105. Two vertical structures 121 and 123 are formed on the layer 111. A layer 107 is formed on the layer 111, and a portion 119' of the patterned layer 119 is exposed between the vertical structures 121 and 123.

This diagram shows a cross-sectional view of a semiconductor device. A substrate 100 is at the base. A trench 105 is formed in the substrate. A gate structure 107 is located on the side walls of the trench. The gate structure includes a gate oxide layer 111 and a gate electrode layer 119. A conductive layer 125 is deposited on top of the gate electrode layer 119. A contact layer 119' is shown on the top surface of the gate electrode layer 119.

FIG. 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 100. A base layer 105 is formed on the substrate. A layer 111 is formed on the base layer, and a patterned layer 119 is formed on the layer 111. A series of vertical structures 107 are formed on the surface of the layer 111, and a layer 127 is formed on the vertical structures 107. The dimensions A and B are indicated.